

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-108194  
 (43)Date of publication of application : 30.04.1993

(51)Int. Cl. G06F 1/04  
 H01L 27/06  
 H03K 19/094

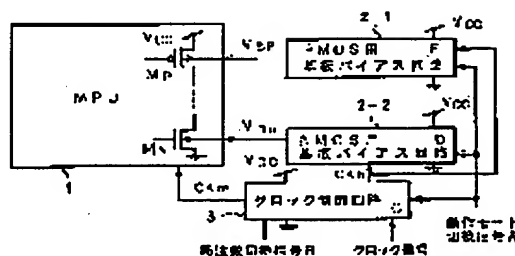
(21)Application number : 03-269248 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 17.10.1991 (72)Inventor : MIYAMOTO MASABUMI  
 TONOMURA MOTONOBU  
 HANAWA MAKOTO  
 SEKI KOICHI

## (54) LOW POWER CONSUMPTION TYPE SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To enable high speed operation with low power supply voltage under a operation mode and to reduce voltage consumption under a waiting mode by setting the threshold of a MOS transistor to a low value and increasing the threshold at the time of the waiting mode by applying a circuit board bias.

**CONSTITUTION:** The threshold of the MOS transistor (MN, MP) is set to a low value and under the waiting mode, a clock CKm to be supplied to an MPU (microprocessor unit) 1 is stopped by a clock control circuit 3, circuit board bias circuits 2-1, 2-2 are actuated with an operation mode switching signal A and a negative circuit board bias VBN is applied to an NMOS transistor (MN) and a positive circuit board bias VBP than the power supply is applied to a PMOS transistor (MP). At this time, the threshold of the MOS transistor increases and leak current decreases by means of exponential function by the amount of the increase of the threshold. That is, by applying the circuit board bias, subthreshold characteristics can be improved and the leak current can be reduced.



## LEGAL STATUS

[Date of request for examination] 14.01.1998  
 [Date of sending the examiner's decision of rejection] 19.01.1999  
 [Kind of final disposal of application]

other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3184265

[Date of registration] 27. 04. 2001

[Number of appeal against examiner's  
decision of rejection] 11-02171

[Date of requesting appeal against  
examiner's decision of rejection] 17. 02. 1999

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-108194

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 1/04

H 0 1 L 27/06

H 0 3 K 19/094

識別記号

3 0 1 C

庁内整理番号

7368-5B

F I

技術表示箇所

7342-4M

6959-5J

H 0 1 L 27/ 06

H 0 3 K 19/ 094

1 0 2 F

D

審査請求 未請求 請求項の数6(全10頁)

(21)出願番号

特願平3-269248

(22)出願日

平成3年(1991)10月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宮本 正文

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 外村 元伸

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 花輪 誠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 低消費電力型半導体集積回路

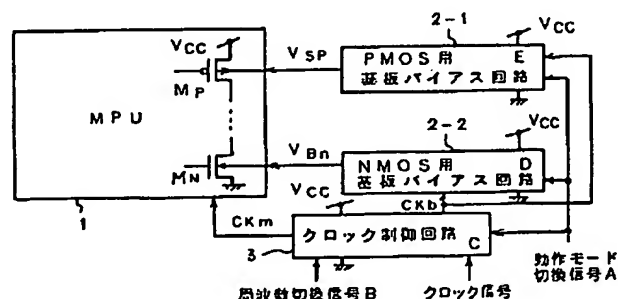
(57)【要約】

【目的】本発明の目的は、低電源電圧で高速で動作し、なおかつ動作を停止した待機モード時の消費電流が少ない半導体集積回路を提供することである。

【構成】MOS型回路を用いた半導体集積回路においてMOSトランジスタのしきい値を低く設定して低電源電圧における高速動作を可能にし、待機モード時にはプログラム命令あるいは外部信号により基板バイアスを印加することによりしきい値を上昇させ、クロックの供給も停止してリーク電流を減少させる。

【効果】本発明によれば、低電源電圧での高速動作と待機モード時の低消費電力性を両立させることができる。

図 1



## 【特許請求の範囲】

【請求項1】MOSトランジスタ回路と、該MOSトランジスタ回路のMOSトランジスタのしきい値電圧を制御する制御回路とを有し、第1動作モードでは上記制御回路は上記MOSトランジスタ回路のMOSトランジスタのしきい値電圧を低く設定することにより上記MOSトランジスタ回路が高速動作を実行し、第2動作モードでは上記制御回路は上記MOSトランジスタ回路のMOSトランジスタのしきい値電圧を高く設定することにより上記MOSトランジスタ回路が低消費電力化されることを特徴とする半導体集積回路。

【請求項2】上記第1動作モードと上記第2動作モードとでは上記制御回路から上記MOSトランジスタへ供給される基板バイアスが異なることによってしきい値電圧が設定されることを特徴とする請求項1記載の半導体集積回路。

【請求項3】上記第1動作モードでは所定の周波数のクロックを上記MOS回路に供給し、上記第2動作モードでは上記所定の周波数より低い周波数を上記MOS回路に供給することを特徴とする請求項2記載の半導体集積回路。

【請求項4】上記第1動作モードでは所定の周波数のクロックを上記MOS回路に供給し、上記第2動作モードでは上記MOS回路へのクロックの供給を停止することを特徴とする請求項2記載の半導体集積回路。

【請求項5】上記MOS回路はマイクロプロセッサ・ユニットであることを特徴とする請求項1から請求項4までのいずれかに記載の半導体集積回路。

【請求項6】上記半導体集積回路の電源電圧供給端子は電池に接続されてなり、上記MOS回路の電源電圧は上記電池から供給されてなることを特徴とする請求項1から請求項5までのいずれかに記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は低消費電力型半導体集積回路に関し、特に電池で動作するとともにMOSトランジスタを用いたマイクロプロセッサなどの情報処理装置に関する。

## 【0002】

【従来の技術】従来より、基板バイアスを印加した半導体回路の例としては、昭和62年2月10日培風館より発行の「超高速MOSデバイス」第259頁乃至第261頁（菅野卓雄監修）に述べられているものがある。

【0003】従来の一般的な基板バイアスの印加は、この従来例のように、pn接合容量を低減することにより高速化することを目的としている。一方、基板バイアスの印加時にはnチャネルMOSFETのしきい値が上昇して0.6～1.0V程度の実用的な値になるように設計されている。この例によれば基板バイアスの値が高いほどドレインの空乏層が広がり、pn接合の容量が減少し

て高速化をすることができる。

【0004】一方、CMOS型回路を用いたプロセッサの低消費電力化について対策した例として、特開昭56-42827号公報に述べられているように、プログラム命令によりCPU部分および動作しない回路へのクロック供給を停止して待機モードに入り、消費電力を抑えようとするものがある。CMOS型回路ではクロックを停止して全てのスイッチングを停止すれば、消費電力はMOSトランジスタのサブスレッショルド電流によるリーク電流のみとなるので、待機モード時の消費電流を動作時よりも3桁以上低減させることができる。

## 【0005】

【発明が解決しようとする課題】現状のしきい値(0.5V程度)のMOS型トランジスタを用いたマイクロプロセッサでも5Vの電源電圧を用いれば高速で動作させることが可能であり、従来のように基板バイアスの印加によるpn接合容量の低減により高速化も可能であった。しかし、低消費電力の観点からは、消費電力が電源電圧の2乗に比例するため電源電圧を5V以下に下げることが必要となる。特に電池動作の場合には1V程度の低電圧化が必要となる。また、MOSトランジスタの微細化が進むにつれて素子耐圧も低下するため、電源電圧を下げる必要がでてきている。

【0006】一方、CMOS回路の遅延時間は負荷容量の電荷をドレイン電流で充放電する時間であり、電源電圧/(電源電圧-しきい値)2乗に比例する。従って、しきい値が無視できるような高い電源電圧では遅延時間は電源電圧に反比例するが、しきい値が無視できなくなる低電圧では電源電圧の低下に伴って遅延時間が急激に増加する。このような低電圧の動作時には基板バイアスを印加するとしきい値が上昇するため、かえって動作速度が低下してしまう問題がある。従って、低電圧動作時には基本的に基板バイアスを印加せず、MOSトランジスタのしきい値を低く保たなければならない。

【0007】一方、しきい値電圧を低下させることは、MOSトランジスタのサブスレッショルド電流によるリーク電流の増加につながるという別の問題を生じる。このリーク電流は、室温においてしきい値を0.1V低下させるごとに約47倍と指数関数で増加する。たとえば0.5Vから0.3Vまでしきい値を低下させるとリーク電流は約2200倍となる。数十万素子規模のマイクロプロセッサの場合、動作時の電流と比較するとこのリーク電流は1割以下でありあまり消費電力は増加しない。しかしながら、従来例のようにクロックのみを停止する待機モード時の消費電流はまさにこのリーク電流によるものなので、0.5Vから0.3Vまでしきい値を低下させるとリーク電流は直接2200倍になる。従ってしきい値電圧を低下した場合は、クロックを止めるだけでは消費電流の低減は十分でなく、待機モード時の電池バックアップ時間が著しく短縮されると言う問題が生ずる。

【0008】本発明は上述の如き本発明者等による検討結果を基礎としてなされたものであり、その目的とするところは動作時は低電源電圧でも高速な動作が可能であり、かつ待機モード時にはリーク電流による消費電力が少ない情報処理装置を提供することである。

【0009】

【課題を解決するための手段】前記の問題点は、スイッチング動作をしない待機モード時にもMOSトランジスタのしきい値が低いことが原因である。

【0010】従って、動作時にはしきい値を低くして低電源電圧でも高速動作を可能にし、待機モード時にはしきい値を高くしてリーク電流を低減できれば、低電源電圧による動作時の高速動作性と待機モード時の低消費電力性との両立が可能である。そのため、MOSトランジスタそのもののしきい値は低く設定し、待機モード時には基板バイアスを印加することによりしきい値を上昇させる。

【0011】尚、この時の基板バイアスはしきい値の上昇によるリーク電流の低減量が基板バイアス回路の消費電流よりも大きくなるように設定する必要があることは言うまでもない。

【0012】

【作用】動作時はしきい値が低いので低電圧でも高速動作が可能になり、一方、待機モード時にはしきい値電圧が高くなるのでリーク電流を大幅に減少させることができる。

【0013】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0014】図1は本発明の代表的な実施例であり、その基本的な概念を説明する。まず、低電源電圧での高速動作を保つために、MOSトランジスタ(MN, MP)のしきい値は低く設定されている。一方、キーボード入力が入力が一定時間以上無い場合や、最低消費電力の状態が一定時間以上続いた場合を判定して、プログラム命令あるいは外部の制御信号によって待機モードに入る。

【0015】待機モードではクロック制御回路3によりMPU(マイクロプロセッサ・ユニット)1に供給するクロックCkmを停止し、同時に動作モード切替信号Aにより基板バイアス回路2-1, 2-2を作動させて、NMOSTランジスタ(MN)には負の基板バイアスV<sub>Bn</sub>、PMOSTランジスタ(MP)には電源よりも正の基板バイアスV<sub>Bp</sub>を印加する。基板バイアスを印加することによりMOSトランジスタのしきい値は上昇し、リーク電流はしきい値上昇分の指数関数で減少する。すなわち、基板バイアスを印加すると、サブスレッショルド特性が改善されてリーク電流が減少する。素子数の多いマイクロプロセッサであるほどリーク電流の低減量は大きく、基板バイアス回路2-1, 2-2の消費電流以上の値となる。以上の作用により、低電圧での高速動作

が可能で待機モード時には低消費電力の少ない情報処理装置が可能になる。

【0016】次に図1の実施例を図面を参照して詳細に説明する。図1に示すように、MPU1、基板バイアス回路2-1, 2-2、クロック制御回路3等が1チップ上に集積化されることにより、マイクロプロセッサが構成されている。MPU1は同業者者に周知のように、命令フェッチユニット、命令デコーダ、命令実行部等から構成されている。MPU1はCMOS回路で構成され、NMOSTランジスタのしきい値は0.3V、PMOSTランジスタのしきい値は-0.3Vに設定して、電源電圧V<sub>cc</sub>が1Vの低電圧でも高速な動作を可能にしている。

尚、マイクロプロセッサのチップの電源電圧V<sub>cc</sub>の供給端子は電池(図示せず)に接続されており、電源電圧V<sub>cc</sub>は電池から供給されている。また、基板バイアス印加のために、MPU1のNMOSとPMOSの各基板(またはウェル領域)には端子が出ている。

【0017】プログラム命令あるいは外部信号にตอบสนองした動作モード切替信号AがNMOS, PMOS用の基板バイアス回路2-1, 2-2が印加され、基板バイアスV<sub>Bp</sub>, V<sub>Bn</sub>のレベルを制御する。モードの切替は、キーボードからの入力の有無や、消費電流の大小などの条件で行うことが出来る。クロック制御回路3を動作モード切替信号Aと周波数切替信号Bで制御することにより、MPU1に供給されるクロックのオン・オフおよび周波数が制御される。

【0018】通常動作モード、低消費電力モード、待機モードの各動作モードにおけるクロックと基板バイアスの変化を、図2に示す。

【0019】通常動作モードでは16MHzの高速クロックが供給され、基板バイアスは印加されない。従ってN, Pの各チャネルMOSトランジスタのしきい値の絶対値は0.3Vのままであるので、1Vの低電源電圧V<sub>cc</sub>でも高速動作が可能である。一方、しきい値が低いのでサブスレッショルド電流による定常的なリーク電流は流れているが、10万ゲートのマイクロプロセッサの場合、定常的なリーク電流による消費電流はスイッチング動作による消費電流の1/10以下なので動作時の消費電流はあまり変化しない。

【0020】低消費電力モードではスイッチングによる消費電力を抑えるため、クロック制御回路3は周波数切替信号Bにตอบสนองして、クロック周波数は2分周の8MHzに低下する。基板バイアス回路2-1, 2-2により-0.5VのNMOS用基板バイアスV<sub>Bn</sub>と+1.5VのPMOS用基板バイアスV<sub>Bp</sub>を印加してMOSトランジスタのしきい値を絶対値で0.5V程度まで上昇させる。動作速度が遅いのでしきい値を上げて動作上問題が無い。この低消費電力モードによりスイッチング電流は1/2、リーク電流は約1/2200に低減することができる。

【0021】待機モードでは動作を行わないため、クロックを停止させる。クロックを停止すれば、スイッチング動作は一切停止する。また、絶対値で上昇されたしきい値を得るため、同様に基板バイアス $V_{Bn}$ 、 $V_{Bp}$ を印加する。従って、CMOS回路の消費電流は高いしきい値に対応する極めて微小のサブスレッショルド電流によるリーク電流のみになる。基板バイアス印加によりしきい値の絶対値が0.5V程度に上昇しているため、リーク電流は動作時の約 $1/2200$ に抑えることができる。

【0022】次に、基板バイアス回路2-1、2-2の実施例を、図3に示す。動作モード切換信号が1になると基板バイアス回路にクロック信号が供給され動作が開始する。チャージポンピング回路を用いて、NMOS用に負電圧、PMOS用に電源電圧より高い電圧を発生させている。電源電圧 $V_{cc}$ が1Vの場合NMOS用に-0.5V程度、PMOS用に+1.5V程度のバイアス電圧 $V_{Bn}$ 、 $V_{Bp}$ が発生できる。このクロック信号は時計、マイクロプロセッサなどのために常時動作させる基本クロックを用いるので、新たな発振回路は不必要であり、基板バイアス印加のための消費電流は $100\mu A$ 程度である。本実施例では、単一電源を基本と考え基板バイアス回路を設けたが、電池動作の場合には基板バイアス専用の電池を設けても良い。

【0023】次に、クロック制御回路3の実施例を図4に示す。基本クロック信号は動作モード切換信号Aが0のときにクロック制御回路3を通してクロック出力 $CK_m$ としてMPU1に供給される。待機モード時には動作モード切替信号が1となり、クロック出力はMPU1に供給されない。クロック入力的一方はTフリップフロップによる分周回路に入り、他方は素通りしてクロック周波数切換回路に入る。クロック周波数切換信号Bが1のときには高速のクロックがそのままMPU1に供給され、クロック周波数切換信号Bが0のときには $1/2$ に分周された低消費電力モード用の低速クロックが供給される。

【0024】CMOSトランジスタに基板バイアスを印加するための素子構造の実施例を図5に示す。通常のCMOS構造でも基板を接地せずにバイアスを印加することは可能であるが、パッケージングが複雑になったり、ノイズ等を拾いやすい問題がある。P型半導体基板1を接地した状態でN、P両チャネルMOSトランジスタに基板バイアス $V_{Bn}$ 、 $V_{Bp}$ を加えるために、NチャネルMOSの基板pウェル3は基板1からPチャネルMOSの基板nエピタキシャル層2により絶縁されている。pウェル3には基板バイアス端子5-1を通してNMOS基板バイアス $V_{Bn}$ として負の電圧が、nエピタキシャル層2には基板バイアス端子5-2を通してPMOS基板バイアス $V_{Bp}$ として正の電圧が印加されるが、全てのバイアス関係はpn接合の逆バイアスなのでお互いに絶縁される。

【0025】低電源電圧では発生できる基板バイアス電圧も低いため、デバイス構造を工夫している。NチャネルMOSのゲート電極直下のp形高濃度領域7およびPチャネルMOSのゲート電極直下のn形高濃度領域8はそれぞれチャネル反転層形成時の表面空乏層の厚さよりも深い位置に設けている。従って、基板バイアスが印加されないときにはしきい値に影響を与えない。基板バイアスを印加すると空乏層は高濃度領域7、8に広がり、実効的な基板濃度が高いためしきい値は基板バイアスにより大きく変化する。基板バイアスとしきい値の変化量を図6に示す。p形ウェル3の表面濃度は $5 \times 10^{16}/\text{cm}^3$ 、p形高濃度領域7の濃度は $3 \times 10^{17}/\text{cm}^3$ にしてある。p形高濃度領域7が無い場合は基板定数が小さいために基板バイアスを印加してもしきい値の変化は少なく、低電源電圧ではしきい値の制御幅が小さすぎる。p形高濃度領域7を設けることにより、基板定数が2倍以上になってしきい値を大きく制御することができる。基板バイアス0.5Vの印加により、しきい値を約0.2V上昇させることができる。

【0026】次に本発明の他の実施例として、クロック周波数により自動的に基板バイアスを切り換える基本構成を図7に示す。クロック信号の周波数の変化を基板バイアス制御回路2-0が検出して基板バイアス回路2-1、2-2から発生される基板バイアス $V_{Bn}$ 、 $V_{Bp}$ の値を切り換える。これによりクロック信号のみで、基板バイアスの通常モード、低消費電力モード、待機モードの切換ができる。

【0027】基板バイアス制御回路2-0の実施例を図8に示す。クロック信号からチャージポンプ回路により電圧 $V_c$ を発生させる。 $V_c$ の値はクロックの周波数に比例し、結合容量 $C_c$ および負荷抵抗 $R_b$ によって調整することができる。クロック周波数が高周波の時には $V_c$ の値が高くMOSトランジスタMN1が同通してa点の信号はローレベルとなるため、リングオシレータは発振せず基板バイアス $V_{Bn}$ 、 $V_{Bp}$ は印加されない。次にクロック周波数が低周波の時には、 $V_c$ の値が低くMN1が同通しないため、a点はハイレベルになり、リングオシレータが発振して基板バイアス $V_{Bn}$ 、 $V_{Bp}$ が印加される。もちろんクロック信号が停止したときにはa点がハイになり、基板バイアス $V_{Bn}$ 、 $V_{Bp}$ が印加される。本実施例では基板バイアス発生用にリングオシレータを発振させるため、待機モード時の消費電力が $300\mu A$ 程度と大きくなるが、リーク電流の低減量の方が大きいので効果はある。また、クロック周波数により自動的に基板バイアス $V_{Bn}$ 、 $V_{Bp}$ が変化するので、特定の命令や制御信号を設ける必要が無い。

【0028】図9は、MOSトランジスタのドレイン電流特性のしきい値による変化を示す。リーク電流とはゲート電圧が0Vの時のドレイン電流である。しきい値を0.3Vから0.5Vに上昇させると、リーク電流は44

10

20

30

40

50

nAから約2200分の1に低下する。しきい値電圧が0.3Vでリーク電流が44nAのMOSトランジスタでマイクロプロセッサを構成することを考えると、マイクロプロセッサのゲート数が約10万ゲートの場合、そのリーク電流はマイクロプロセッサ全体では4.4mAに達する。基板バイアスを0.5V印加すると、しきい値は0.5Vまで上昇し、リーク電流はももとのしきい値が0.5Vのトランジスタとほぼ同じ20pA程度まで減少する。一方、基板バイアス回路の消費電流が100μA程度あるので、総合で102μAの消費電流となる。図10は、マイクロプロセッサの最大動作周波数と消費電流に関して、しきい値0.5Vおよび0.3Vの従来例と本実施例の比較をまとめて示したものである。

#### 【0029】

【発明の効果】本発明によれば、しきい値電圧を低く設定できるので低電源電圧でも高速動作が可能であり、低速動作時や待機モード時には基板バイアスを印加してしきい値電圧を上昇させるので消費電力を小さく抑えることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例による半導体集積回路のブロック図を示す。

【図2】図1の半導体集積回路の各モードにおける各部

の波形変化を示す。

【図3】図1の半導体集積回路の基板バイアス回路の実施例を示す。

【図4】図1の半導体集積回路のクロック制御回路の実施例を示す。

【図5】図1の半導体集積回路のCMOS構造の断面図を示す。

【図6】MOSトランジスタの基板バイアスとしきい値電圧の関係を示す。

10 【図7】本発明の他の実施例による半導体集積回路のブロック図を示す。

【図8】図7の基板バイアス制御回路と基板バイアス回路の実施例を示す。

【図9】NチャネルMOSトランジスタとしきい値電圧とリーク電流の関係を示す。

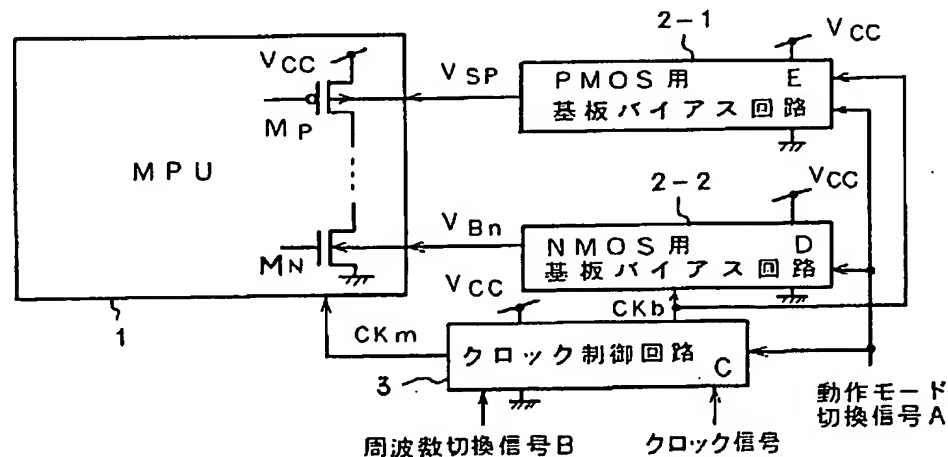
【図10】マイクロプロセッサの最大動作周波数と消費電流に関して、従来と本発明とを比較し、まとめて示したものである。

#### 【符号の説明】

20  $V_{Bn}$ …NチャネルMOS用基板バイアス、 $V_{Bp}$ …PチャネルMOS用基板バイアス、 $CK_m$ …マイクロプロセッサ用クロック信号、 $CK_b$ …基板バイアス発生用クロック信号。

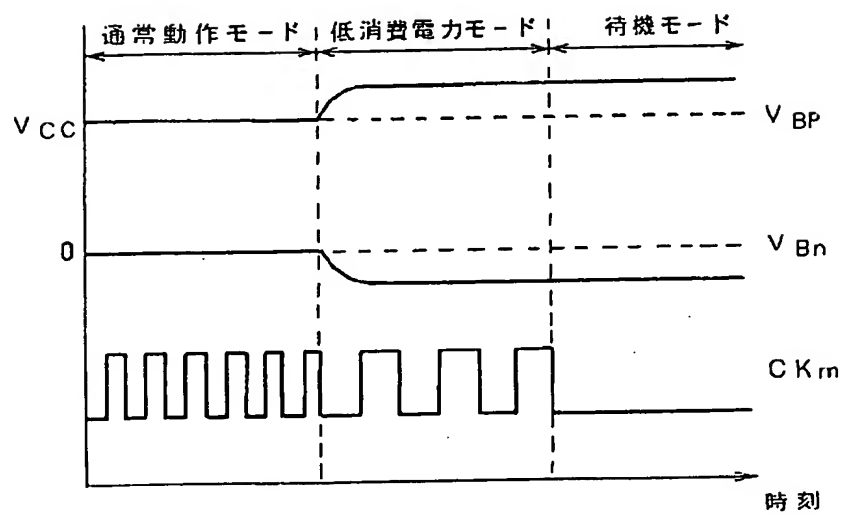
【図1】

図 1



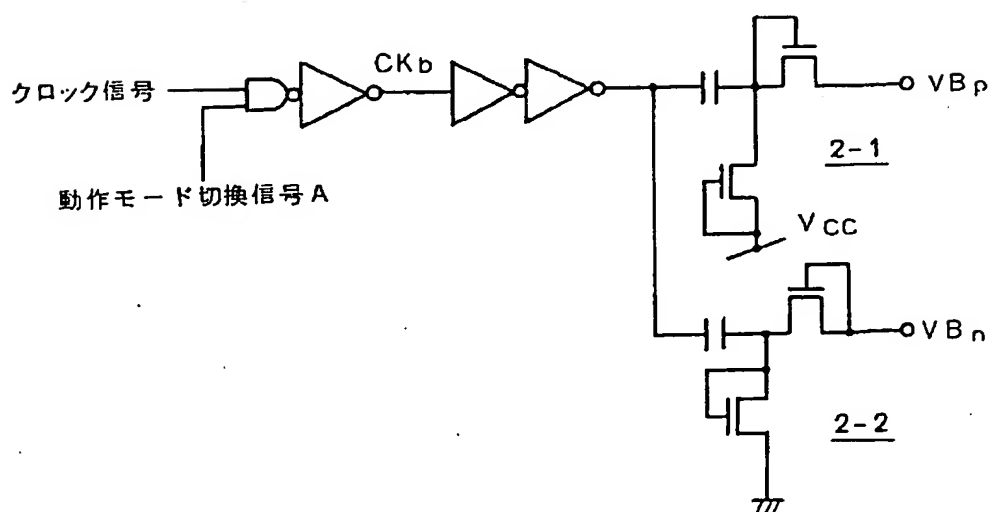
【図2】

図 2



【図3】

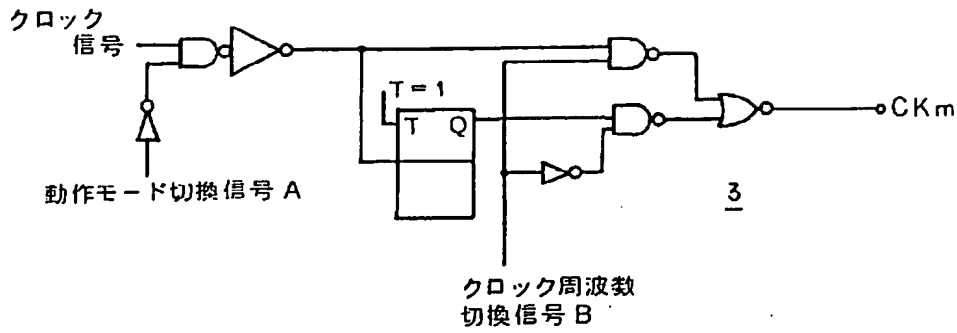
図 3



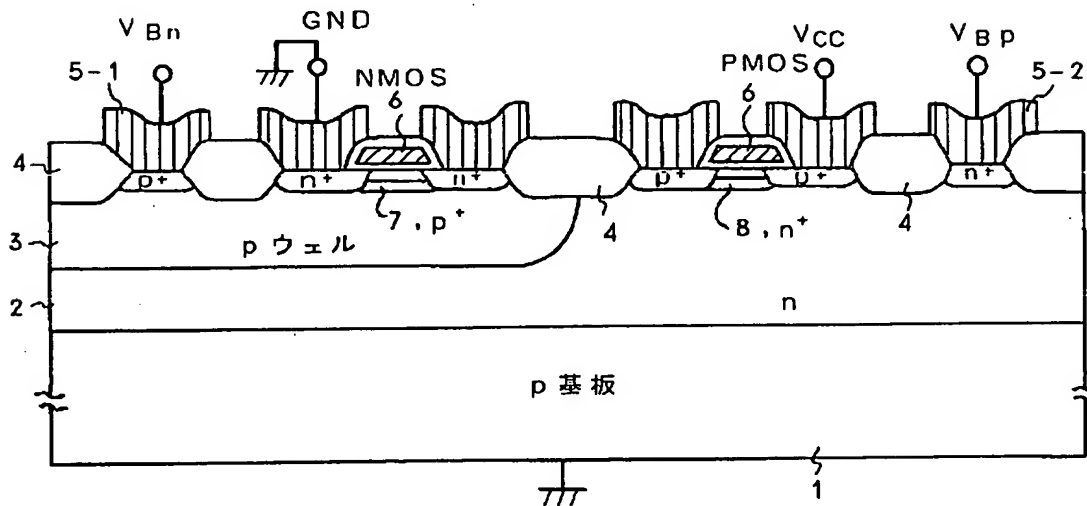


【図4】

図 4



【図5】



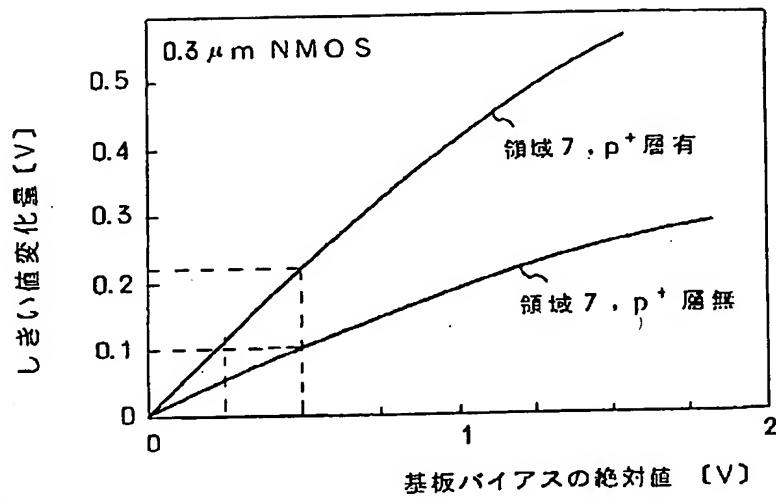
【図10】

図 10

	従来例 $V_T = 0.5 \text{ V}$	従来例 $V_T = 0.3 \text{ V}$	本発明 $V_T = 0.3 \text{ V}$
最大動作周波数	8 MHz	16 MHz	16 MHz
動作時消費電流	20 mA	44 mA	44 mA
待機時消費電流	2 $\mu\text{A}$	4.4 mA	102 $\mu\text{A}$

【図6】

図 6



【図7】

図 7

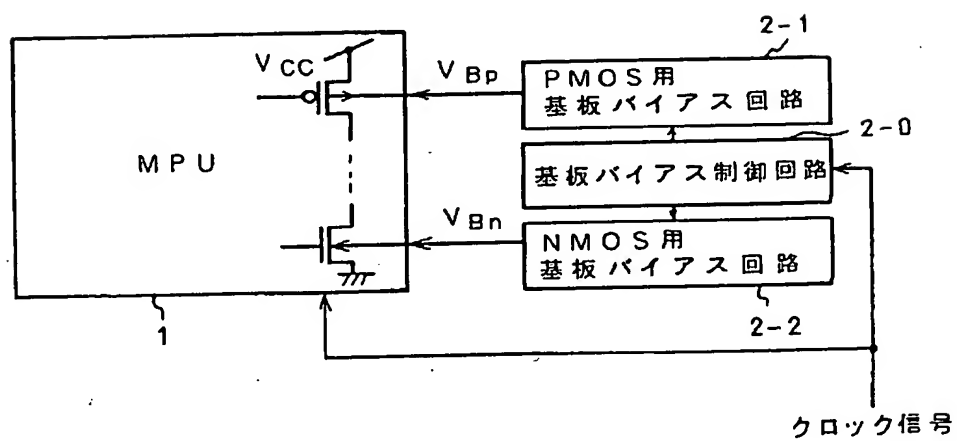


图 8

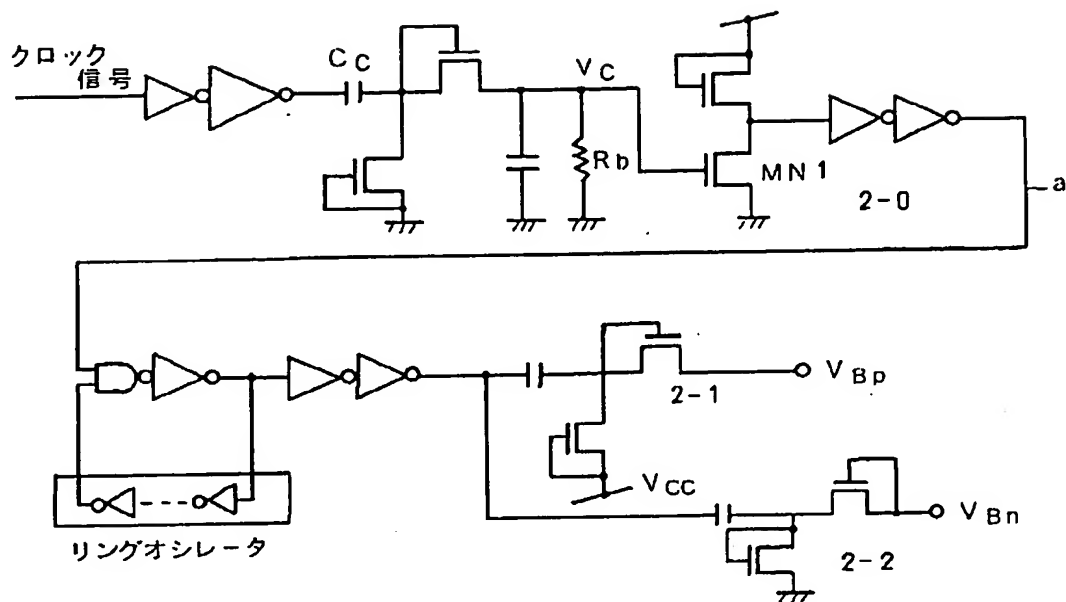
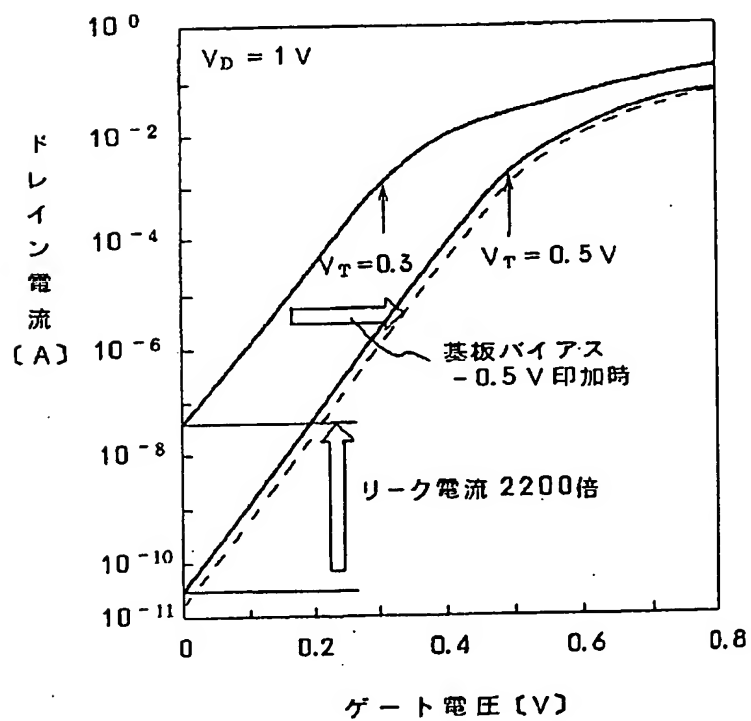


图 9



フロントページの続き

(72)発明者 関 浩一

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内